

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-174230

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)7月5日

H 01 L 21/316  
C 23 C 16/30  
H 01 L 29/784

M 6810-5F  
8722-4K

8624-5F H 01 L 29/78 3 1 1 G

審査請求 未請求 請求項の数 3 (全3頁)

⑮ 発明の名称 半導体装置とその製造方法

⑯ 特 願 昭63-329656

⑰ 出 願 昭63(1988)12月27日

⑱ 発 明 者 湯 田 坂 一 夫 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式  
会社内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑳ 代 理 人 弁理士 上柳 雅 外1名

明 細 書

1. 発明の名称

半導体装置とその製造方法

2. 特許請求の範囲

(1) 非結晶Siをチャネル層とし、該非結晶Siを  
700℃以下の温度で形成したSiO<sub>2</sub>と該SiO<sub>2</sub>の上に  
CVD法により形成した絶縁膜をゲート絶縁膜と  
することを特徴とする半導体装置。

(2) チャネル層となる非結晶SiをCVD法によ  
り形成する工程と、次に前記非結晶Siの表面を70  
0℃以下の温度で熱酸化する工程と、次にCVD  
法によりゲート絶縁膜を堆積する工程と、次にゲ  
ート電極を形成する工程を有することを特徴とする  
半導体装置の製造方法。

(3) チャネル層となる非結晶SiをCVD法によ  
り堆積する工程と、前記非結晶Siの表面を700℃  
以下の温度で熱酸化する工程を、同一処理装置に  
より、連続して形成することを特徴とする特許請

求の範囲第(2)項記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、非結晶Si層をチャネル部に有する  
半導体装置に関し、詳しくはMOS型半導体装置  
に関する。

〔従来技術〕

近年、非結晶Siを使用したTFT(Thin Film  
Transistors)デバイスが、液晶を用いた表示用デ  
バイスとして、量産されるようになってきた。

前記表示用デバイスはガラス基板上に形成され  
るため、デバイスの製造プロセスの最高温度は、  
前記ガラス基板の耐熱温度によって決まる。前記  
ガラス基板の種類にはいくつかあるが、石英以外  
のガラスの耐熱温度は600～700℃のものが多く、  
従って、ガラス基板上に形成されるデバイスのゲ  
ート絶縁膜は、熱酸化法ではなく、CVD法によ  
り形成されていた。

〔発明が解決しようとする課題〕

ガラス基板上に形成される非結晶Siを使用した

TFTデバイスの電気的特性は、ゲート絶縁膜の形成方法に強く依存する。TFTもMOS型トランジスタであり、ゲート絶縁膜の形成方法により、チャンネル層とゲート絶縁膜との界面単位密度が異なる。界面単位密度はTFTの電気的特性を大きく左右する。

前述したように、耐熱温度の低いガラス基板を使用し、ゲート絶縁膜をCVD法で形成すると前記界面単位密度が大きくなる。界面単位密度が大きいと $V_{th}$ が大きい、オン電流が小さい、オフ電流が大きいなどの問題がある。

従って本発明の目的は、界面単位密度の小さいゲート絶縁膜を有し、電気的特性の優れたTFTを提案することである。

#### 【課題を解決するための手段】

本発明において前記問題点を解決するための手段は、

(1) 非結晶Siをチャンネル層とし、該非結晶Siを700℃以下の温度で形成したSi<sub>10</sub>と該Si<sub>10</sub>の上にCVD法により形成した絶縁膜をゲート絶縁膜と

なるPoly-Siを形成した後、500~700℃で熱酸化により形成する。前記熱酸化で形成される酸化膜の膜厚は100 Å以下である。ゲート絶縁膜105はCVD法により形成する。通常TFTのゲート絶縁膜の厚さは1000~2000 Åであり、従ってゲート絶縁膜の大部分はCVD法により形成されることになる。

第2図は従来技術によるTFTの断面図である。本発明による第1図と比較して明らかなように、基本的な相違点は、ゲート絶縁膜が1層か2層かである。従来技術による第2図において、ゲート絶縁膜205はCVD法により形成される。TFTが形成されるべきガラス基板の耐熱性が低いため、LSI半導体装置で一般的に使用されているゲート絶縁膜の形成方法である熱酸化法が使えないからである。しかし、CVD法で形成する酸化膜は熱酸化法で形成する酸化膜に比して、密度が低く、界面単位密度が大きい。また、CVD法で形成する膜の膜質は、膜形成直前の基板の表面状態に左右され、界面単位密度のばらつきも大きい。従ってTFTの電気的特性があまりよくない。

しかし、本発明では低温ではあるがCVD法による膜形成前に、熱酸化法による酸化膜を形成するため、TFTの界面

することを特徴とする。

(2) チャンネル層となる非結晶SiをCVD法により形成する工程と、次に前記非結晶Siの表面を700℃以下の温度で熱酸化する工程と、次にCVD法によりゲート絶縁膜を堆積する工程と、次にゲート電極を形成する工程を有することを特徴とする。

(3) チャンネル層となる非結晶SiをCVD法により堆積する工程と、前記非結晶Siの表面を700℃以下の温度で熱酸化する工程を、同一処理装置により、連続して形成することを特徴とする。

#### 【実施例】

本発明の詳細を実施例により、以下に説明する。第1図は本発明による実施例である。101はガラス基板、102および102'はTFTのソース・ドレインとなるべき領域であり、不純物がドーパされたPoly-Siである。103はTFTのチャンネル領域となるPoly-Siである。104と105は2層のゲート絶縁膜であり、106はゲート電極である。ゲート絶縁膜104はチャンネル領域と

界面単位密度が小さく、かつその値のばらつきも小さい。熱酸化の工程が、基板表面のベーキング、脱脂を兼ね基板表面のクリーニング、安定化する作用があるからである。従って本発明によれば、界面単位密度が少なく安定したTFTの電気的特性が得られる。

また、低温における熱酸化法によるゲート酸化膜の形成は、チャンネル層となるPoly-Siを形成するCVD装置により、前記Poly-Siの堆積に引き続き連続して形成すると、さらに良いTFTの電気的特性が得られる。

#### 【発明の効果】

本発明によれば、界面単位密度が小さく、電気的特性の優れたTFTを形成することができる。

#### 4. 図面の簡単な説明

第1図は本発明によるTFTの断面図。第2図は従来技術によるTFTの断面図。

101、201・・・ガラス基板

102、202・・・ソース・ドレインとなるボ

ポリシリコン

103、203・・・チャネルとなるポリシリコン

104・・・・・・・・熱酸化膜

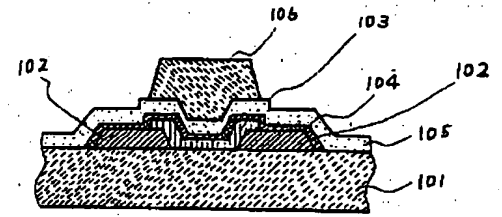
105、205・・・CVDSiO<sub>2</sub>

106、206・・・ゲート電極

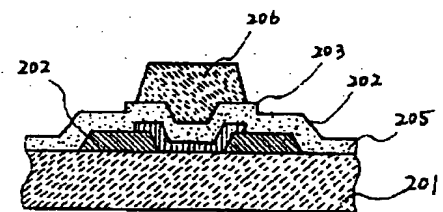
以上

出願人セイコーエプソン株式会社

代理人井理士上柳雅彦(他1名)



第1図



第2図

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-174230

(43)Date of publication of application : 05.07.1990

(51)Int.Cl.

H01L 21/316  
C23C 16/30  
H01L 29/784

(21)Application number : 63-329656

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 27.12.1988

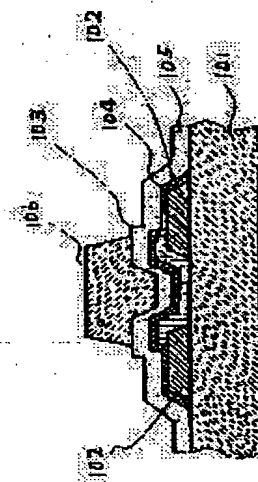
(72)Inventor : YUDASAKA KAZUO

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

## (57)Abstract:

**PURPOSE:** To make an interfacial level density small and form TFTs which are superior in electrical characteristics by making amorphous Si act as a channel layer and causing a gate insulating film to be composed of SiO<sub>2</sub> in which amorphous Si is formed at a temperature 700° C or less and an insulating film which is formed on SiO<sub>2</sub> with a CVD process.

**CONSTITUTION:** After forming polysilicon as a channel region, a gate insulating film 104 is formed through thermal oxidation at a temperature 600-700° C and a gate insulating film 105 is formed with a CVD process. Even though the temperature of thermal oxidation is low, the film 104 is formed through thermal oxidation prior to the formation of the film 105 with the CVD process. As a result, the interfacial level density of TFTs is small and the amount of scatter in values is low and then stable characteristics of the TFTs are obtained. Further, when the formation of the film 104 is performed through thermal oxidation at a low temperature, its formation can be performed in succession from the deposition of polysilicon with the aid of a CVD device by which polysilicon is formed as a channel layer. Electrical characteristics of the TFTs which are far better than the above stable characteristics are thus obtained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office